

Cite No. 1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-162412

(43) 公開日 平成9年(1997)6月20日

(51) Int. Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 Z
21/336			G 0 2 F 1/136	5 0 0
G 0 2 F 1/136	5 0 0		H 0 1 L 29/78	6 1 7 N
				6 1 7 A

審査請求 有 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平7-320506

(22) 出願日 平成7年(1995)12月8日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中村 健一

東京都港区芝五丁目7番1号 日本電気株式会社内

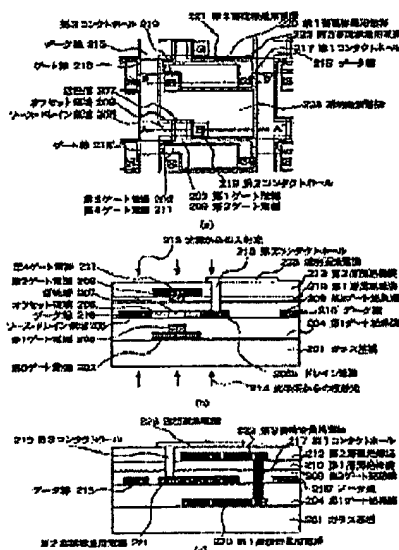
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 薄膜トランジスタおよび薄膜トランジスタアレイ

(57) 【要約】

【課題】 アクティブマトリックス液晶パネルに用いる、リーク電流を低減した薄膜トランジスタと、該薄膜トランジスタを備え、かつ、小さな面積で大きな蓄積容量を形成できる薄膜トランジスタアレイとを提供する。

【解決手段】 活性層207を第1ゲート電極203および第2ゲート電極209で挟み、オフセット領域206を第3ゲート電極202および第4ゲート電極211と重なる構造とすることにより、高いオン電流と低いリーク電流を同時に実現する。画素の電位低下を抑制する蓄積容量は透明画素電極223と第3蓄積容量用電極222の間、第3蓄積容量用電極222と第2蓄積容量用電極221の間、第2蓄積容量用電極221と第1蓄積容量用電極220の間に形成されることにより、小さな面積で大きな蓄積容量を形成することができる。



(2)

特開平9-162412

1

【特許請求の範囲】

【請求項1】 活性層およびソース・ドレイン領域からなる半導体層と、  
前記半導体層下部に形成された第1ゲート絶縁膜と、  
前記第1ゲート絶縁膜下部に、前記活性層と重なるようにして形成された第1ゲート電極と、  
前記半導体層上部に形成された第2ゲート絶縁膜と、  
前記第2ゲート絶縁膜上に、前記活性層と重なるようにして形成された第2ゲート電極と、  
前記第2ゲート絶縁膜上部に形成された第1層間絶縁膜とを有する薄膜トランジスタにおいて、  
前記半導体層の前記活性層と、前記ソース・ドレイン領域との間に形成された、不純物濃度が低い半導体層からなるオフセット領域と、  
前記第1ゲート電極と電気的に接続され、少なくとも前記オフセット領域と重なるようにして形成され、かつ、前記ソース・ドレイン領域と重ならないようにして形成された第3ゲート電極と、  
前記第2ゲート電極と電気的に接続され、少なくとも前記オフセット領域と重なるようにして形成され、かつ、前記ソース・ドレイン領域と重ならないようにして形成された第4ゲート電極とを有し、  
かつ、前記半導体層と前記第1ゲート電極との間に形成された前記第1ゲート絶縁膜の膜厚 $d_1$ と、前記半導体層と前記第3ゲート電極との間に形成された前記第1ゲート絶縁膜の膜厚 $d_3$ との間には $d_3 > d_1$ なる関係を有し、  
かつ、前記半導体層と前記第2ゲート電極との間に形成された前記第2ゲート絶縁膜の膜厚 $d_2$ と、前記半導体層と前記第4ゲート電極との間に形成された前記第2ゲート絶縁膜および前記第1層間絶縁膜の膜厚 $d_4$ との間には $d_4 > d_2$ なる関係を有していることを特徴とする薄膜トランジスタ。  
【請求項2】 請求項1に記載の薄膜トランジスタにおいて、  
前記第1ゲート電極および前記第2ゲート電極が不純物を高濃度に含有した多結晶シリコンからなり、かつ、前記第3ゲート電極および前記第4ゲート電極が金属からなることを特徴とする薄膜トランジスタ。  
【請求項3】 独立の直交するデータ線とゲート線を用いて駆動されるアクティブマトリックス液晶パネルの画素部に用いる薄膜トランジスタアレイにおいて、  
複数の前記データ線と、これと直交して形成された複数の前記ゲート線との各交点に、請求項1記載の薄膜トランジスタが形成され、前記データ線と前記半導体層の前記ソース領域とが電気的に接続され、かつ、前記ゲート線と前記第1ゲート電極および前記第2ゲート電極とが電気的に接続され、かつ、前記半導体層の前記ドレイン領域に画素電極が電気的に接続されていることを特徴とする薄膜トランジスタアレイ。

2

【請求項4】 請求項3に記載の薄膜トランジスタアレイにおいて、  
前記半導体層と同一平面上に第2蓄積容量用電極が形成され、  
前記第4ゲート電極上に第2層間絶縁膜が形成され、  
前記第2層間絶縁膜上に、前記画素電極が形成され、かつ、前記ドレイン領域と電気的に接続され、  
前記第1ゲート電極もしくは前記第3ゲート電極と同一平面上に、前記第2蓄積容量用電極と重なるように、前記第1ゲート絶縁膜を介して第1蓄積容量用電極が形成され、  
前記第2ゲート電極もしくは前記第4ゲート電極と同一平面上に、前記第2蓄積容量用電極と重なるように、少なくとも前記第2ゲート絶縁膜を介して第3蓄積容量用電極が形成され、  
前記画素電極は前記第2層間絶縁膜を介して、前記第2蓄積容量用電極の一部と重なるようにして形成され、かつ、電気的に接続され、  
前記第1蓄積容量用電極と前記第3蓄積容量用電極とが電気的に接続されていることを特徴とする薄膜トランジスタアレイ。  
【請求項5】 請求項4に記載の薄膜トランジスタアレイにおいて、  
前記第1蓄積容量用電極と前記第3蓄積容量用電極のうち、少なくとも一方が、前記第1ゲート電極および前記第2ゲート電極の少なくとも一方と電気的に接続されていることを特徴とする薄膜トランジスタアレイ。  
【発明の詳細な説明】  
【0001】  
【発明の属する技術分野】本発明は、アクティブマトリックス液晶パネルに用いる薄膜トランジスタおよび該薄膜トランジスタを備えた薄膜トランジスタアレイに関する。  
【0002】  
【従来の技術】マルチメディア時代に突入し、マンマシンインターフェースの要となる重要デバイスとして、高精細・大画面ディスプレイが求められている。液晶プロジェクトはこのような要求を満たすデバイスとして盛んに研究され、実用化されつつある。現状の液晶プロジェクトの課題として、投射画面の高輝度化が挙げられる。そのためには、光源の高輝度化と液晶パネルの高開口率化が必要となる。開口率とはデータ線およびゲート線からなる配線、スイッチングトランジスタならびに蓄積容量用電極を除いた領域が、表示領域全体に占める割合である。従って、高輝度化のためには、配線、スイッチングトランジスタおよび蓄積容量用電極の面積を縮小する必要がある。配線幅の縮小は配線抵抗の増加を招き、信号遅延の原因となるため限界がある。一方、蓄積容量はコントラストを高く保つために不可欠である。すなわち、画素電極へのデータ書き込み後、スイッチングトラ

(3)

特開平9-162412

3

ンジスタでの電流リークによる画素電位の低下を抑制する。リーク電流が小さければ、必要となる蓄積容量も小さくて済む。また、小さな面積で大きな蓄積容量が形成できれば、大きな開口率が得られる。一方、スイッチングトランジスタに関しては、データ書き込み期間中に液晶容量および蓄積容量を充電するのに必要な大きさのオン電流が必要となる。スイッチングトランジスタの電流駆動能力を高めることにより、スイッチングトランジスタの小型化が可能になる。以上から、高輝度化のためには、スイッチングトランジスタのリーク電流の低減による必要な蓄積容量の縮小、オン電流の向上によるスイッチングトランジスタの縮小、蓄積容量用電極面積の縮小が必要となる。

【0003】オン電流を増加させる方法として、ダブルゲート構造が実開昭57-88944に開示されている。この構造の薄膜トランジスタに関して図面を用いて説明する。図4は従来例のダブルゲート構造の薄膜トランジスタの模式的断面図である。図中、符号401は絶縁性基板、403は第1ゲート電極、404は第1ゲート絶縁膜、405aはソース電極、405bはドレイン電極、407は半導体層、408は第2ゲート絶縁膜、409は第2ゲート電極である。図4に示すように、絶縁性基板401上に第1ゲート電極403が形成され、これを覆うようにして第1ゲート絶縁膜404が形成されている。さらに、この第1ゲート絶縁膜404を覆うようにして半導体層407が形成されており、半導体層407の一部と重なるように、ソース電極405aおよびドレイン電極405bが形成されている。さらに、半導体層407と重なるように第2ゲート絶縁膜408が形成され、第2ゲート絶縁膜408上に第1ゲート電極403と重なるように第2ゲート電極409が形成されている。ここで、この構造の薄膜トランジスタを液晶パネルのスイッチングトランジスタに適用する場合について考える。本構造の薄膜トランジスタはゲート電極が活性層の上下に形成されているため、活性層の側面にチャネルが形成され、高いオン電流が得られる。しかし、本構造はオフセット構造となっていないため、ドレイン端での電界が緩和されず、リーク電流を低減することは困難である。従って、大きな蓄積容量が必要となり、開口率を高くすることができない。

【0004】一方、蓄積容量を小さな面積で形成する方法として、蓄積容量を積層構造で形成する方法が特開平4-415に開示されている。本方法により形成した蓄積容量を液晶パネルに適用した例について図5を参照しながら説明する。図5(a)は従来例の液晶表示パネルの模式的平面図、図5(b)は図5(a)のC-C'での模式的断面図、図5(c)は図5(a)のD-D'での模式的断面図である。図中、符号501はガラス基板、502aa、502ab、502ba、502bbは画素領域、503は下部電極、504は接続層、50

4

5aはソース、505bはドレイン、505cはチャネル領域、509はゲート電極、510は層間絶縁膜、515、515'、515''はデータ線、516、516'、516''はゲート線、522はゲート酸化膜、523は透明画素電極、526は誘電絶縁膜である。

【0005】図5(a)に示すように、データ線515、515'、515''とゲート線516、516'、516''とが直交し、両者の間に50 $\mu$ m $\times$ 50 $\mu$ mの大きさで、画素領域502aa、502ab、502ba、502bbが形成されている。以下、画素領域502aaを例に取って内部構造を説明する。ゲート線516から引き出されたゲート電極509、データ線515に接続されたソース505a、およびドレイン505bからなる薄膜トランジスタが形成されており、このドレイン505bに接続層504を介して下部電極503が接続され、その上にゲート線516'が重なって形成されている。また、これらの構造の上には画素領域502aaのほぼ全面に渡って酸化インジウム・錫(ITO)からなる透明画素電極523が形成されており、この透明画素電極523も開口部を通して薄膜トランジスタのドレイン505bに接続されている。ゲート線516'下に形成された蓄積容量の形成領域の断面図は図5(c)のようになっている。ガラス基板501上に導電性多結晶シリコン層で形成された矩形の下部電極503の上には、薄膜トランジスタのゲート酸化膜522と同時に形成された誘電絶縁膜526があり、この上にゲート線516'が下部電極503の延長方向と同じ方向に形成されている。これらの上には層間絶縁膜510を介して透明画素電極523の一部が存在する。この液晶表示パネルは、導電性多結晶シリコンで形成した下部電極503と上部電極とを備えた蓄積容量を有している。さらにゲート線を蓄積容量用電極の一部に用いているため、開口率を犠牲にすること無く比較的大きな蓄積容量を形成することができる。

【0006】

【発明が解決しようとする課題】以上述べたように、従来のダブルゲート構造の薄膜トランジスタではリーク電流を低減できなかったため、大きな蓄積容量が必要となり、開口率を高くすることができなかった。また遮光層とソース・ドレイン領域との間に寄生容量が形成され、データ信号が遅延したり波形が歪む等の問題が生じていた。

【0007】また、従来の蓄積容量の形成方法では、高精密化に伴って画素を縮小した時、蓄積容量用電極が画素に対して占める相対的な面積比率が急激に増加し、開口率が大幅に低下するという問題が生じていた。

【0008】本発明の目的は、アクティブマトリックス液晶パネルに用いる、リーク電流を低減した薄膜トランジスタと、該薄膜トランジスタを備え、かつ、小さな面

(4)

特開平9-162412

5

積で大きな蓄積容量を形成できる薄膜トランジスタアレイとを提供することにある。

【0009】

【課題を解決するための手段】本発明の薄膜トランジスタは、活性層およびソース・ドレイン領域からなる半導体層と、半導体層下部に形成された第1ゲート絶縁膜と、第1ゲート絶縁膜下部に、活性層と重なるようにして形成された第1ゲート電極と、半導体層上部に形成された第2ゲート絶縁膜と、第2ゲート絶縁膜上に、活性層と重なるようにして形成された第2ゲート電極と、第2ゲート絶縁膜上部に形成された第1層間絶縁膜とを有する薄膜トランジスタにおいて、半導体層の活性層と、ソース・ドレイン領域との間に形成された、不純物濃度が低い半導体層からなるオフセット領域と、第1ゲート電極と電気的に接続され、少なくともオフセット領域と重なるようにして形成され、かつ、ソース・ドレイン領域と重ならないようにして形成された第3ゲート電極と、第2ゲート電極と電気的に接続され、少なくともオフセット領域と重ならないようにして形成された第4ゲート電極とを有し、かつ、半導体層と第1ゲート電極との間に形成された第1ゲート絶縁膜の膜厚 $d_1$ と、半導体層と第3ゲート電極との間に形成された第1ゲート絶縁膜の膜厚 $d_3$ との間には $d_3 > d_1$ なる関係を有し、かつ、半導体層と第2ゲート電極との間に形成された第2ゲート絶縁膜の膜厚 $d_2$ と、半導体層と第4ゲート電極との間に形成された第2ゲート絶縁膜および第1層間絶縁膜の膜厚 $d_4$ との間には $d_4 > d_2$ なる関係を有している。

【0010】また、第1ゲート電極および第2ゲート電極が不純物を高濃度に含有した多結晶シリコンからなり、かつ、第3ゲート電極および第4ゲート電極が金属からなっていることもよい。

【0011】本発明によれば、活性層の上部および下部にゲート電極を設けるダブルゲート構造となり、薄膜トランジスタを小型化しても大きなオン電流が得られる。さらに、オフセット構造としているためにドレイン端での電界を緩和でき、リーク電流を低減することができる。さらに、オフセット領域をゲート電極で遮光しているため、オフセット領域に光が入射することによるリーク電流の増加を抑制することができる。また、第3ゲート電極および第4ゲート電極はソース・ドレイン領域と重ならないため、ゲートとソース・ドレインとの間の寄生容量を低減することができるため、データ信号の伝搬遅延や波形歪を抑制することができる。

【0012】本発明の薄膜トランジスタを備えた薄膜トランジスタアレイは、独立の直交するデータ線とゲート線を有して駆動されるアクティブマトリックス液晶パネルの画素部に用いる薄膜トランジスタアレイにおいて、複数のデータ線と、これと直交して形成された複数のゲート線との各交点に、上述の薄膜トランジスタが形成され、データ線と半導体層のソース領域とが電気的に接続され、かつ、ゲート線と第1ゲート電極および第2ゲート電極とが電気的に接続され、かつ、半導体層のドレイン領域に画素電極が電気的に接続されている。

【0013】また、半導体層と同一平面上に第2蓄積容量用電極が形成され、第4ゲート電極上に第2層間絶縁膜が形成され、第2層間絶縁膜上に、画素電極が形成され、かつ、ドレイン領域と電気的に接続され、第1ゲート電極もしくは第3ゲート電極と同一平面上に、第2蓄積容量用電極と重なるように、第1ゲート絶縁膜を介して第1蓄積容量用電極が形成され、第2ゲート電極もしくは第4ゲート電極と同一平面上に、第2蓄積容量用電極と重なるように、少なくとも第2ゲート絶縁膜を介して第3蓄積容量用電極が形成され、画素電極は第2層間絶縁膜を介して、第2蓄積容量用電極の一部と重なるようにして形成され、かつ、電気的に接続され、第1蓄積容量用電極と第3蓄積容量用電極とが電気的に接続されていてもよい。

【0014】また、第1蓄積容量用電極と第3蓄積容量用電極のうち、少なくとも一方が、第1ゲート電極および第2ゲート電極の少なくとも一方と電気的に接続されていてもよい。

【0015】すなわち、蓄積容量用電極を前段のゲート電極と同電位とすることで、画素電極と前段のゲート電極との間に蓄積容量を形成することができる。このようにすることで、前段の薄膜トランジスタであるスイッチングトランジスタへのデータの書き込み後に発生する、ゲート電圧の降下に伴うフィードスルーによる画素電位の変化の影響を最小限に抑えることができる。また、この場合、個々の蓄積容量用電極を同電位とするための電極線が不要となり、回路が複雑になったり、開口率を犠牲にすることがない。

【0016】また、蓄積容量用電極の一部を2層のゲート電極で挟み込む構造により蓄積容量を形成することにより、蓄積容量が形成される実効的な面積を増加させることができ、また、重なる画素電極の一部によっても蓄積容量が増加する。それにより小さな面積で大きな蓄積容量を形成することができる。

【0017】従って、本発明により、画質を劣化させることなく、薄膜トランジスタを縮小し、蓄積容量用電極の面積を縮小することができる。このため、液晶プロジェクタの開口率を増加させることができ、高輝度化を実現することができる。

【0018】

【発明の実施の形態】次に、本発明の第1の実施の形態について図1を参照して説明する。図1は本発明の第1の実施の形態のnチャネルの薄膜トランジスタの模式的断面図である。図中、符号101はガラス基板、102は第3ゲート電極、103は第1ゲート電極、104は

(5)

特開平9-162412

7

第1ゲート絶縁膜、105はソース・ドレイン領域、106はオフセット領域、107は活性層、108は第2ゲート絶縁膜、109は第2ゲート電極、110は第1層間絶縁膜、111は第4ゲート電極、112は第2層間絶縁膜、113は光源からの入射光、114は光学系からの反射光である。

【0019】図1に示すように、ガラス基板101上にアルミからなる第3ゲート電極102が形成されており、第3ゲート電極102上にリンを $1 \times 10^{20} \text{ cm}^{-3}$ 程度含有するpoly-Si膜からなる第1ゲート電極103が形成されている。さらに、第1ゲート電極103および第3ゲート電極102を覆うようにSiO<sub>2</sub>膜からなる第1ゲート絶縁膜104が形成されており、この上にリンを $1 \times 10^{20} \text{ cm}^{-3}$ 程度含有するpoly-Si膜からなるソース・ドレイン領域105、リンを $1 \times 10^{17} \text{ cm}^{-3}$ 程度含有するpoly-Si膜からなるオフセット領域106、不純物をほとんど含有しないpoly-Si膜からなる活性層107が形成されている。

【0020】ここで、第1ゲート電極103上の第1ゲート絶縁膜104の膜厚をd1とし、第3ゲート電極102上の第1ゲート絶縁膜104の膜厚をd3とすると、 $d3 > d1$ なる関係が成り立つように形成されている。このような構造は、バイアスエッチング法等により第1ゲート絶縁膜104を平坦化することにより、容易に形成可能である。

【0021】また、第1ゲート電極103は活性層107と重なり、第3ゲート電極102は活性層107およびオフセット領域106と重なるように形成されている。さらに、ソース・ドレイン領域105、オフセット領域106、活性層107を覆うようにしてSiO<sub>2</sub>膜からなる第2ゲート絶縁膜108が形成されている。

【0022】さらに、この上にリンを $1 \times 10^{20} \text{ cm}^{-3}$ 程度含有するpoly-Si膜からなる第2ゲート電極109が形成されており、第2ゲート電極109が形成されていない領域には第1層間絶縁膜110が形成されている。第2ゲート電極109上には、アルミからなる第4ゲート電極111が形成されている。

【0023】ここで、第2ゲート電極109下の第2ゲート絶縁膜108の膜厚をd2とし、第4ゲート電極111下の第2ゲート絶縁膜108および第1層間絶縁膜110の膜厚をd4とすると、 $d4 > d2$ なる関係が成り立つことは明らかである。

【0024】また、第2ゲート電極109は活性層107と重なり、また、第4ゲート電極111は活性層107およびオフセット領域106と重なるように形成されている。さらに、第4ゲート電極111上にSiO<sub>2</sub>膜からなる第2層間絶縁膜112が形成されている。ここで、光源からの光の入射方向は図中の113であり、光学系からの反射光の入射方向は114である。入射光、

8

反射光はそれぞれ、第4ゲート電極111、第3ゲート電極102により遮光され、オフセット領域106及び活性層107には入射されない。また、第1ゲート電極103、第2ゲート電極109は電気的に接続されており、活性層107において、チャネルは活性層の表面および裏面に形成される。

【0025】次に、本発明の第2の実施の形態について図2を参照しながら説明する。図2(a)は本発明の薄膜トランジスタを液晶プロジェクトに応用した例であり、画素部のスイッチングアレイの一部の模式的平面図である。また、図2(b)は図2(a)中のA-A'における模式的断面図、図2(c)は図2(a)中のB-B'における模式的断面図である。図中、符号201はガラス基板、202は第3ゲート電極、203は第1ゲート電極、204は第1ゲート絶縁膜、205はソース・ドレイン領域、205bはドレイン電極、206はオフセット領域、207は活性層、208は第2ゲート絶縁膜、209は第2ゲート電極、210は第1層間絶縁膜、211は第4ゲート電極、212は第2層間絶縁膜、213は光源からの入射光、214は光学系からの反射光、215、215'はデータ線、216、216'はゲート線、217は第1コンタクトホール、218は第2コンタクトホール、219は第3コンタクトホール、220は第1蓄積容量用電極、221は第2蓄積容量用電極、222は第3蓄積容量用電極、223は透明画素電極である。

【0026】図2(a)に示すように、データ線215、215'とゲート線216、216'で囲まれた領域が単位画素となっている。次に構造について説明する。図2(b)(c)に示すように、ガラス基板201上にアルミからなる第3ゲート電極202およびアルミからなる第1蓄積容量用電極220が形成されており、第3ゲート電極202と重なるようにリンを $1 \times 10^{20} \text{ cm}^{-3}$ 程度含有するpoly-Si膜からなる第1ゲート電極203が形成されている。さらに、第1ゲート電極203、第3ゲート電極202および第1蓄積容量用電極220を覆うようにSiO<sub>2</sub>膜からなる第1ゲート絶縁膜204が形成されており、この上にリンを $1 \times 10^{20} \text{ cm}^{-3}$ 程度含有するpoly-Si膜からなるソース・ドレイン領域205、リンを $1 \times 10^{17} \text{ cm}^{-3}$ 程度含有するpoly-Si膜からなるオフセット領域206、不純物をほとんど含有しないpoly-Si膜からなる活性層207が形成されている。さらに、第1蓄積容量用電極220と重なるようにリンを $1 \times 10^{20} \text{ cm}^{-3}$ 程度含有した第2蓄積容量用電極221が形成されている。ここで、第1ゲート電極203は活性層207と重なり、また、第3ゲート電極202はオフセット領域206と重なるように配置されている。

【0027】さらに、ソース・ドレイン領域205、オフセット領域206、活性層207および第2蓄積容量

(6)

特開平9-162412

9

10

用電極221を覆うようにしてSiO<sub>2</sub>膜からなる第2ゲート絶縁膜208が形成されている。さらに、この上にリンを $1 \times 10^{20} \text{ cm}^{-3}$ 程度含有するpoly-Si膜からなる第2ゲート電極209が形成されており、第2ゲート電極209が形成されていない領域には、SiO<sub>2</sub>膜からなる第1層間絶縁膜210が形成されている。さらに、第2ゲート電極209上にアルミからなる第4ゲート電極211が形成され、第1蓄積電量用電極220および第2蓄積電量用電極221の一部と重なるようにアルミからなる第3蓄積電量用電極222が形成されている。さらに、第3蓄積電量用電極222は第1コンタクトホール217を介して第1蓄積電量用電極220と電気的に接続されている。さらに、第3蓄積電量用電極222および第4ゲート電極211を覆うようにSiO<sub>2</sub>膜からなる第2層間絶縁膜212が形成されている。さらに、第2層間絶縁膜212上には酸化インジウム・錫(ITO)からなる透明画素電極223が形成されており、第2コンタクトホール218を介してドレイン電極205bと電気的に接続され、また第3コンタクトホール219を介して第2蓄積電量用電極221と電気的に接続されている。

【0028】ここでは図2(a)に示すように、第1蓄積電量用電極220と第3ゲート電極202とを同一平面上に分離せずに形成し、また第3蓄積電量用電極222と第4ゲート電極211とを同一平面上に分離せずに形成した例を示した。このように電気的に接続されている場合は、個々の蓄積電量用電極を一定の電位に固定するための電極が不要であるため、高い開口率を維持することができる。また、薄膜トランジスタアレイのスイッチングを行うためのゲートパルスは216、216'の順序で印加されるため、図2(a)のように蓄積電量を前段のゲート電極との間に形成することにより、ゲート線216のゲートパルスの隆伏時に発生するフィードスルーによる画素電位の瞬間的な変動は、その直後に画素電位が書き換えられるため、画素電位にはほとんど影響を与えない。

【0029】ここで、光源からの入射光213は活性層207に対して第2ゲート電極209が形成された方向から入射し、光学系からの反射光214は活性層207に対して第1ゲート電極203が形成された方向から入射する。ここで、画素の電位低下を抑制する蓄積電量は透明画素電極223と第3蓄積電量用電極222の間、第3蓄積電量用電極222と第2蓄積電量用電極221の間、第2蓄積電量用電極221と第1蓄積電量用電極220の間に形成される。

【0030】

【発明の効果】以上説明したように本発明は、活性層の上部および下部にゲート電極を設けるダブルゲート構造により、スイッチングトランジスタを小型化しても大きなオン電流が得られるという効果がある。さらに、オフ

セット構造としているためにドレイン端での電界を緩和でき、リーク電流を低減することができる。

【0031】また、図1に示すように、光源からの入射光213及び光学系からの反射光214は、それぞれ第4ゲート電極211、第3ゲート電極202により遮光されるため、オフセット領域106には入射されない。このため、オフセット領域106に光が入射することによるリーク電流の増加を防ぐことができ、画素の電位の低下によるコントラストの低下を抑制することができる。具体的な例を図3に示す。図3は250Wのメタルハライドランプを照射したときの、ドレイン電流のゲート電圧依存性を従来例と比較したグラフである。図中、符号301は本発明の場合のドレイン電流のゲート電圧依存性、302は従来例の場合のドレイン電流のゲート電圧依存性を示す。薄膜トランジスタサイズはゲート幅5μm、ゲート長3μm、オフセット長1μmである。従来例ではシングルゲート構造の場合を示した。画素が保持状態(ゲート電圧-2V、ドレイン電圧10V)のとき、従来法の場合、ドレイン電流は $1 \times 10^{-11}$  A流れていたが、本発明により、 $5 \times 10^{-13}$  Aと1/20まで低減することができた。また、オン状態(ゲート電圧10V、ドレイン電圧10V)でのドレイン電流は、従来は $5 \times 10^{-8}$  Aであったが、本発明によれば $1 \times 10^{-4}$  Aと2倍にすることができ、スイッチングトランジスタのサイズを1/2にすることができた。また、第3ゲート電極202および第4ゲート電極211はソース・ドレイン領域105と重ならないため、ゲートとソース・ドレインとの間の寄生容量を低減することができるため、データ信号の伝搬遅延や波形歪を抑制することができる。

【0032】さらに、第2の実施の形態に示したように、第3ゲート電極202と同一平面上に第1蓄積電量用電極220を形成し、さらに、ソース・ドレイン領域205と同一平面上に第2蓄積電量用電極221を形成し、さらに、第4ゲート電極211と同一平面上に第3蓄積電量用電極222を形成し、さらに、第2層間絶縁膜212上に透明画素電極223を形成することにより、小さな面積で大きな蓄積電量を形成することができる。このため、開口率を犠牲にすることなく、大きな蓄積電量を形成することができ、高輝度かつ高コントラストを同時に実現可能な液晶プロジェクタを作製することができる。本発明により、従来50%であった開口率は70%にまで改善され、その結果、輝度は従来に比べ40%改善することができた。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のnチャネルの薄膜トランジスタの模式的断面図である。

【図2】本発明の第2の実施の形態の薄膜トランジスタを液晶プロジェクタに応用した例の模式図である。

(a) 画素部のスイッチングアレイの一部の模式的平面

(7)

特開平9-162412

11

12

図である。

(b) 図2(a)中のA-A'における模式的断面図である。

(c) 図2(a)中のB-B'における模式的断面図である。

【図3】本発明のドレイン電流のゲート電圧依存性を従来例と比較したグラフである。

【図4】従来例のダブルゲート構造の薄膜トランジスタの模式的断面図である。

【図5】蓄積容量を積層構造で形成する方法により形成した蓄積容量を液晶パネルに応用した従来例の模式図である。

(a) 従来例の液晶表示パネルの模式的平面図である。

(b) 図5(a)中のC-C'における模式的断面図である。

(c) 図5(a)中のD-D'における模式的断面図である。

【符号の説明】

101、201、501 ガラス基板

102、202 第3ゲート電極

103、203、403 第1ゲート電極

104、204、404 第1ゲート絶縁膜

105、205 ソース・ドレイン領域

106、206 オフセット領域

107、207 活性層

108、208、408 第2ゲート絶縁膜

109、209、409 第2ゲート電極

110、210 第1層間絶縁膜

111、211 第4ゲート電極

112、212 第2層間絶縁膜

113、213 光源からの入射光

114、214 光学系からの反射光

205b、405b ドレイン電極

215、215'、515、515'、515" データ線

216、216'、516、516'、516" ゲート線

217 第1コンタクトホール

218 第2コンタクトホール

219 第3コンタクトホール

10 220 第1蓄積容量用電極

221 第2蓄積容量用電極

222 第3蓄積容量用電極

223、523 透明画素電極

301 本発明の場合のドレイン電流のゲート電圧依存性

302 従来例の場合のドレイン電流のゲート電圧依存性

401 絶縁性基板

405a ソース電極

20 407 半導体層

502aa、502ab、502ba、502bb

画素領域

503 下部電極

504 接続層

505a ソース

505b ドレイン

505c チャネル領域

509 ゲート電極

510 層間絶縁膜

30 522 ゲート酸化膜

526 誘電絶縁膜

【図1】

